



IFW

PTO/SB/21 (02-04)  
Approved for use through 07/31/2006. OMB 0651-0031  
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

<b>TRANSMITTAL FORM</b>  (to be used for all correspondence after initial filing)	Application Number	10/708,869	
	Filing Date	2004/3/30	
	First Named Inventor	Lin-Hsin Tu	
	Art Unit		
	Examiner Name		
Total Number of Pages in This Submission	3	Attorney Docket Number	NAUP0476USA

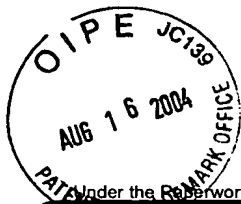
ENCLOSURES (Check all that apply)		
<input checked="" type="checkbox"/> Fee Transmittal Form	<input type="checkbox"/> Drawing(s)	<input type="checkbox"/> After Allowance communication to Technology Center (TC)
<input type="checkbox"/> Fee Attached	<input type="checkbox"/> Licensing-related Papers	<input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences
<input type="checkbox"/> Amendment/Reply	<input type="checkbox"/> Petition	<input type="checkbox"/> Appeal Communication to TC (Appeal Notice, Brief, Reply Brief)
<input type="checkbox"/> After Final	<input type="checkbox"/> Petition to Convert to a Provisional Application	<input type="checkbox"/> Proprietary Information
<input type="checkbox"/> Affidavits/declaration(s)	<input type="checkbox"/> Power of Attorney, Revocation Change of Correspondence Address	<input type="checkbox"/> Status Letter
<input type="checkbox"/> Extension of Time Request	<input type="checkbox"/> Terminal Disclaimer	<input type="checkbox"/> Other Enclosure(s) (please identify below):
<input type="checkbox"/> Express Abandonment Request	<input type="checkbox"/> Request for Refund	
<input type="checkbox"/> Information Disclosure Statement	<input type="checkbox"/> CD, Number of CD(s) _____	
<input checked="" type="checkbox"/> Certified Copy of Priority Document(s)	Remarks	
<input type="checkbox"/> Response to Missing Parts/Incomplete Application		
<input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53		

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT	
Firm or Individual name	Winston Hsu, Reg. No.: 41,526
Signature	<i>Winston Hsu</i>
Date	8/13/2004

CERTIFICATE OF TRANSMISSION/MAILING			
I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.			
Typed or printed name			
Signature		Date	

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



PTO/SB/17 (10-03)  
Approved for use through 07/31/2006. OMB 0651-0032  
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

# FEE TRANSMITTAL for FY 2004

Effective 10/01/2003. Patent fees are subject to annual revision.

☐ Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT (\$ ) 0.00

## Complete if Known

Application Number 10/708,869

Filing Date 2004/3/30

First Named Inventor Lin-Hsin Tu

Examiner Name

Art Unit

Attorney Docket No. NAUP0476USA

## METHOD OF PAYMENT (check all that apply)

☐ Check ☐ Credit card ☐ Money Order ☐ Other ☐ None

☒ Deposit Account:

Deposit Account Number 50-3105  
Deposit Account Name North America Intellectual Property Corp.

The Director is authorized to: (check all that apply)

☒ Charge fee(s) indicated below ☐ Credit any overpayments

☒ Charge any additional fee(s) or any underpayment of fee(s)

☐ Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account.

## FEE CALCULATION

### 1. BASIC FILING FEE

Large Entity Fee Code (\$)	Small Entity Fee Code (\$)	Fee Description	Fee Paid
1001 770	2001 385	Utility filing fee	
1002 340	2002 170	Design filing fee	
1003 530	2003 265	Plant filing fee	
1004 770	2004 385	Reissue filing fee	
1005 160	2005 80	Provisional filing fee	
SUBTOTAL (1)			(\$ ) 0.00

### 2. EXTRA CLAIM FEES FOR UTILITY AND REISSUE

	Extra Claims	Fee from below	Fee Paid
Total Claims	-20** =	X	
Independent Claims	-3** =	X	
Multiple Dependent			

Large Entity Fee Code (\$)	Small Entity Fee Code (\$)	Fee Description
1202 18	2202 9	Claims in excess of 20
1201 86	2201 43	Independent claims in excess of 3
1203 290	2203 145	Multiple dependent claim, if not paid
1204 86	2204 43	** Reissue independent claims over original patent
1205 18	2205 9	** Reissue claims in excess of 20 and over original patent

SUBTOTAL (2) (\$ ) 0.00

\*\*or number previously paid, if greater; For Reissues, see above

## FEE CALCULATION (continued)

### 3. ADDITIONAL FEES

Large Entity Fee Code (\$)	Small Entity Fee Code (\$)	Fee Description	Fee Paid
1051 130	2051 65	Surcharge - late filing fee or oath	
1052 50	2052 25	Surcharge - late provisional filing fee or cover sheet	
1053 130	1053 130	Non-English specification	
1812 2,520	1812 2,520	For filing a request for <i>ex parte</i> reexamination	
1804 920*	1804 920*	Requesting publication of SIR prior to Examiner action	
1805 1,840*	1805 1,840*	Requesting publication of SIR after Examiner action	
1251 110	2251 55	Extension for reply within first month	
1252 420	2252 210	Extension for reply within second month	
1253 950	2253 475	Extension for reply within third month	
1254 1,480	2254 740	Extension for reply within fourth month	
1255 2,010	2255 1,005	Extension for reply within fifth month	
1401 330	2401 165	Notice of Appeal	
1402 330	2402 165	Filing a brief in support of an appeal	
1403 290	2403 145	Request for oral hearing	
1451 1,510	1451 1,510	Petition to institute a public use proceeding	
1452 110	2452 55	Petition to revive - unavoidable	
1453 1,330	2453 665	Petition to revive - unintentional	
1501 1,330	2501 665	Utility issue fee (or reissue)	
1502 480	2502 240	Design issue fee	
1503 640	2503 320	Plant issue fee	
1460 130	1460 130	Petitions to the Commissioner	
1807 50	1807 50	Processing fee under 37 CFR 1.17(q)	
1806 180	1806 180	Submission of Information Disclosure Stmt	
8021 40	8021 40	Recording each patent assignment per property (times number of properties)	
1809 770	2809 385	Filing a submission after final rejection (37 CFR 1.129(a))	
1810 770	2810 385	For each additional invention to be examined (37 CFR 1.129(b))	
1801 770	2801 385	Request for Continued Examination (RCE)	
1802 900	1802 900	Request for expedited examination of a design application	

Other fee (specify)

\*Reduced by Basic Filing Fee Paid

SUBTOTAL (3) (\$ ) 0.00

## SUBMITTED BY

(Complete if applicable)

Name (Print/Type)	Winston Hsu	Registration No. (Attorney/Agent)	41,526	Telephone	886289237350
Signature		Date	8/13/2004		

**WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.**

This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS.

SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



PTO/SB/02B (08-03)  
Approved for use through 08/31/2003. OMB 0651-0032  
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE  
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

## DECLARATION – Supplemental Priority Data Sheet

### Foreign applications:

Prior Foreign Application Number(s)	Country	Foreign Filing Date (MM/DD/YYYY)	Priority Not Claimed	Certified Copy Attached?	
				YES	NO
03121280.8	China	4/1/2003	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

This collection of information is required by 35 U.S.C. 115 and 37 CFR 1.63. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 21 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.

BEST AVAILABLE COPY

# 证 明

本证明之附件是向本局提交的下列专利申请副本

申 请 日 期: 2003.04.01

申 请 号 码: 03121280.8

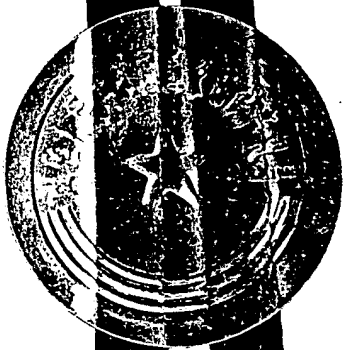
申 请 类 别: 发明

发 明 名 称: 一种形成暨测试一相移掩膜的方法

申 请 人: 联华电子股份有限公司

发 明 人: 杜林炘、林坤荣

CERTIFIED COPY OF  
PRIORITY DOCUMENT



中华人民共和国  
国家知识产权局局长

王 景 川

2004 年 3 月 3 日

# 权 利 要 求 书

1. 一种形成暨测试一相移掩膜的方法，该方法包含有下列步骤：  
提供一掩膜基底，且该掩膜基底上定义有一主要图案区域，以及一空白  
周边环绕于该主要图案区域的外围；  
5 于该主要图案区域上形成一第一图案、至少一第二图案以及至少一第三  
图案，形成该相移掩膜；  
利用该相移掩膜进行一图案转移制程，以使该第一图案、该第二图案以  
及该第三图案转移至一半导体芯片上；以及  
利用转移至该半导体芯片上的该第二图案以及该第三图案，进行一相移  
10 掩膜测试。
2. 如权利要求 1 所述的方法，其中所述的空白周边是用来当作所述的相  
移掩膜的抗静电周缘。
3. 如权利要求 1 所述的方法，其中所述的相移掩膜测试包含有一注记测  
试、一相角测试、一透光率测试或上述的三种测试。
- 15 4. 如权利要求 3 所述的方法，其中所述的第二图案是位于所述的主要图  
案区域的边缘，且转移至所述的半导体芯片上的所述的第二图案是用来进行  
所述的相移掩膜的所述的注记测试。
5. 如权利要求 3 所述的方法，其中所述的第三图案是位于所述的主要图  
案区域的中心，且转移至所述的半导体芯片上的所述的第三图案是用来进行  
20 所述的相移掩膜的所述的相角测试以及所述的透光率测试。
6. 如权利要求 1 所述的方法，其中所述的第一图案是为一集成电路的部分  
图案。
7. 如权利要求 1 所述的方法，其中所述的第一图案、所述的第二图案以  
及所述的第三图案均是由所述的掩膜基底、一相移层以及一遮蔽层所构成。
- 25 8. 如权利要求 7 所述的方法，其中所述的第二图案以及所述的第三图案  
均包含有一由所述的掩膜基底以及所述的相移层所构成的十字型图案。

9. 如权利要求 7 所述的方法, 其中所述的掩膜基底是由石英所构成, 所述的相移层是由硅化钼所构成, 而所述的遮蔽层是由铬所构成。

10. 如权利要求 1 所述的方法, 其中所述的半导体芯片表面上另包含有一感光层。

5 11. 如权利要求 10 所述的方法, 其中所述的半导体芯片表面上另包含有一薄膜层, 设于所述的感光层之下。

12. 如权利要求 1 所述的方法, 其中所述的图案转移制程包含有一黄光制程以及一蚀刻制程。

13. 一种形成暨测试一相移掩膜的方法, 该方法包含有下列步骤:  
10 提供一掩膜基底, 且该掩膜基底上定义有一主要图案区域, 以及一抗静电周缘, 环绕于该主要图案区域的外围;

于该主要图案区域上形成一第一图案以及至少一第二图案, 形成该相移掩膜;

利用该相移掩膜进行一图案转移制程, 以使该第一图案以及该第二图案  
15 转移至一半导体芯片上; 以及

利用转移至该半导体芯片上的该第二图案进行一相移掩膜测试。

14. 如权利要求 13 所述的方法, 其中所述的第一图案是为一集成电路的部分图案。

15. 如权利要求 13 所述的方法, 其中各所述的第二图案是设于所述的主要图案区域的边缘以及中心位置。  
20

16. 如权利要求 13 所述的方法, 其中所述的第一图案以及所述的第二图案均是由所述的掩膜基底、一相移层以及一遮蔽层所构成。

17. 如权利要求 16 所述的方法, 其中所述的第二图案包含有一由所述的掩膜基底以及所述的相移层所构成的十字型图案。

25 18. 如权利要求 17 所述的方法, 其中所述的相移掩膜测试包含有一注记测试、一相角测试以及一透光率测试。

19. 如权利要求 13 所述的方法，其中所述的半导体芯片表面上另包含有一感光层。

20. 如权利要求 19 所述的方法，其中所述的半导体芯片表面上另包含有一薄膜层，设于所述的感光层之下，且所述的图案转移制程包含有一黄光制程以及一蚀刻制程。

# 说明书

## 一种形成暨测试一相移掩膜的方法

### 技术领域

本发明提供一种形成暨测试一相移掩膜 (phase shift mask, PSM) 的方法, 尤指一种形成一相移掩膜后, 再利用该相移掩膜进行一相移掩膜测试 (PSM test) 的方法。

### 背景技术

在半导体制程中, 为了大量重复地定义出集成电路的线路, 必须先将设计的图案形成于掩膜上, 然后再藉由微影制程将掩膜上的图案顺利地转移到半导体芯片上。由于被转移至半导体芯片上的图案是如此的细微, 因此唯有提高掩膜上的分辨率 (resolution), 才能使掩膜上的图案能够顺利无误地转移到半导体芯片上, 进而使后续的蚀刻 (etching) 制程以及离子布植 (ion implantation) 等制程得以顺利地进行。

现有的提高分辨率的方法, 是利用相移掩膜 (phase shift mask, PSM) 来提高被转移至半导体芯片上的图案的分辨率的。现有的相移掩膜 (phase shift mask, PSM) 是在玻璃基底与铬膜的间加设一层相移层, 使曝光制程中穿透的光线产生  $180^\circ$  的相移角, 可以有效缩小图案的边界摆动 (boundary vibration) 的范围, 以提高图案的准确性。请参考图 1 至图 4, 图 1 至图 4 为现有的相移掩膜 20 的制作方法示意图。如图 1 所示, 现有的制作一相移掩膜 20 的方法是先于一以石英 (Quartz) 所构成的掩膜基底 10 表面, 由下而上依序形成一相移层 12、一以铬所构成的遮蔽层 14 以及一光阻层 (未显示), 接着再以一电子束 (e-beam) 于该光阻层的表面定义并形成一图案化 (patterned) 的第一光阻层 16。如图 2 所示, 利用第一光阻层 16 当作罩幕, 进行一第一蚀刻制程, 以垂直去除未被第一光阻层 16 覆盖的遮蔽层 14, 随后将第一光阻层 16 完全去除。



请参阅图 3，然后于相移层 12 及遮蔽层 14 上形成一光阻层(未显示)，接着再以一电子束于该光阻层的表面定义并形成一图案化的第二光阻层 18。其中，利用第二光阻层 18 所定义出来的图案的面积是大于遮蔽层 14 且完全包覆住遮蔽层 14，以于各遮蔽图案的周围构成相移区域。如图 4 所示，接着  
5 对相移层 12 进行一第二蚀刻制程，以垂直去除未被第二光阻层 18 覆盖的相移层 12，随后完全去除第二光阻层 18，完成该现有技术的相移掩膜 20 制程。

随着集成电路的设计线宽缩小以及集成度不断提高，在对光阻层进行曝光步骤时，晶圆对准精确度(alignment accuracy, AA)以及光学聚焦状态(focal condition)就显得相当重要。因为一旦对准精确度降低，会使前层图  
10 案与现层图案无法连贯，例如金属导线图案与前层插塞无法电连接。为了使掩膜与晶圆能够对准在适当的位置上，现有的方法是在掩膜图案的外围区域(一般是在切割道上)形成有数个亦可称为光标(vernier)的对准标记(alignment mark)。此对准标记图案会在每一个 shot 中被曝至晶圆上的光阻层中，并接着被显影出来。在进行后续各项制程之前，会先利用这些光标分  
15 三步骤进行一包含有一注记测试(registration test)、一相角测试(phase angle test)以及一透光率测试(transparency test)的相移掩膜测试(PSM test)，以进一步确保后续各项制程的良率。

然而现有技术中的对准标记是位于切割道上而非掩膜图案的主要图案区域(main field)中，因此在仅利用位于切割道上的对准标记进行该相移掩  
20 膜测试的状况下，并无法精密地监测相移掩膜 20 于主要图案区域中的蚀刻均匀度(etching uniformity)。此外，当进行该相移掩膜测试时，必须分三步骤进行该注记测试、相角测试以及透光率测试，此种繁复的制作过程势必造成工时的增加，而导致生产成本的上升。

### 发明内容

25 本发明的主要目的在于提供一种形成暨测试一相移掩膜(phase shift mask, PSM)的方法，以解决上述现有的制作方法的问题。

本发明提供了一种形成暨测试一相移掩模的方法，该方法包含有下列步骤：提供一掩膜基底，且该掩膜基底上定义有一主要图案区域 (main field)，以及一空白周边 (blank periphery) 环绕于该主要图案区域的外围；于该主要图案区域上形成一第一图案、至少一第二图案以及至少一第三图案，以形成该相移掩膜；利用该相移掩膜进行一包含有一黄光 (lithography) 制程以及一蚀刻制程的图案转移制程，以使该第一图案、该第二图案以及该第三图案转移至一表面包含有一感光层的半导体芯片上；利用转移至该半导体芯片上的该第二图案以及该第三图案，进行一相移掩膜测试 (PSM test)。

其中所述的空白周边 (blank periphery) 是用来当作所述的相移掩膜的抗静电周缘 (anti-static charge border)。

其中所述的相移掩膜测试包含有一注记测试 (registration test)、一相角测试 (phase angle test)、一透光率测试 (transparency test) 或上述的三种测试。

其中所述的第二图案是位于所述的主要图案区域的边缘，且转移至所述的半导体芯片上的所述的第二图案是用来进行所述的相移掩膜的所述的注记测试。

其中所述的第三图案是位于所述的主要图案区域的中心，且转移至所述的半导体芯片上的所述的第三图案是用来进行所述的相移掩膜的所述的相角测试以及所述的透光率测试。

其中所述的第一图案是为一集成电路的部分图案。

其中所述的第一图案、所述的第二图案以及所述的第三图案均是由所述的掩膜基底、一相移层 (phase shift layer) 以及一遮蔽层所构成。

其中所述的第二图案以及所述的第三图案均包含有一由所述的掩膜基底以及所述的相移层所构成的十字型图案。

其中所述的掩膜基底是由石英 (quartz) 所构成，所述的相移层 (phase shift layer) 是由硅化钼 (molybdenum silicide, MoSi) 所构成，而所述

的遮蔽层是由铬 (chromium, Cr) 所构成。

其中所述的半导体芯片表面上另包含有一感光层。

其中所述的半导体芯片表面上另包含有一薄膜层, 设于所述的感光层之下。

5 其中所述的图案转移制程包含有一黄光 (lithography) 制程以及一蚀刻制程。

本发明还提供了一种形成暨测试一相移掩膜 (PSM) 的方法, 该方法包含有下列步骤:

提供一掩膜基底, 且该掩膜基底上定义有一主要图案区域, 以及一抗静电周缘 (anti-static charge border), 环绕于该主要图案区域的外围;

10 于该主要图案区域上形成一第一图案以及至少一第二图案, 形成该相移掩膜;

利用该相移掩膜进行一图案转移制程, 以使该第一图案以及该第二图案转移至一半导体芯片上; 以及

15 利用转移至该半导体芯片上的该第二图案进行一相移掩膜测试 (PSM test)。

其中所述的第一图案是为一集成电路的部分图案。

其中各所述的第二图案是设于所述的主要图案区域的边缘以及中心位置。

20 其中所述的第一图案以及所述的第二图案均是由所述的掩膜基底、一相移层以及一遮蔽层所构成。

其中所述的第二图案包含有一由所述的掩膜基底以及所述的相移层所构成的十字型图案。

其中所述的相移掩膜测试包含有一注记测试 (registration test)、一  
25 相角测试 (phase angle test) 以及一透光率测试 (transparency test)。

其中所述的半导体芯片表面上另包含有一感光层。

其中所述的半导体芯片表面上另包含有一薄膜层，设于所述的感光层之下，且所述的图案转移制程包含有一黄光（lithography）制程以及一蚀刻制程。

由于本发明形成暨测试该相移掩膜的方法是于该掩膜基底的该主要图案区域的边缘与中心分别形成该第一图案、该第二图案以及该第三图案，再利用转移至该半导体芯片上的该第二图案以及该第三图案进行该相移掩膜测试，因此可精密地监测该相移掩膜于该主要图案区域中的蚀刻均匀度（etching uniformity）。此外，本发明可于同一步骤内进行该相移掩膜测试所包含的一注记测试（registration test）、一相角测试（phase angle test）以及一透光率测试（transparency test），因此可以达到简化制程与节省工时的效果，进而降低生产成本，增加产品的竞争力。

#### 附图说明

图 1 至图 4 为现有的相移掩膜的制作方法示意图

图 5 至图 10 为本发明形成暨测试一相移掩膜的方法示意图

附图标记说明：

10	掩膜基底	12	相移层
14	遮蔽层	16	第一光阻层
18	第二光阻层	20	相移掩膜
40	掩膜基底	42	相移层
44	遮蔽层	46	主要图案区域
48	空白周边区域	50	第一注记图案
52	第二注记图案	54	相移掩膜
56	预定区域	58	主要图案区域
60	空白周边区域	62	第一被转移图案
64	第二被转移图案		

#### 具体实施方式

请参考图 5 至图 10，图 5 至图 10 为本发明形成暨测试一相移掩膜 (phase shift mask, PSM) 的方法示意图。如图 5 所示，一掩膜基底 40 上依序设有一相移层 (phase shift layer) 42 以及一遮蔽层 44。通常掩膜基底 40 是由石英 (quartz) 所构成，相移层 42 是由硅化钼 (molybdenum silicide, MoSi) 所构成，而遮蔽层 44 则是由铬 (chromium, Cr) 所构成。

请参照图 6 与图 7，图 6 与图 7 为掩膜基底 40 的俯视图。如图 6 所示，掩膜基底 40 上定义有一主要图案区域 (main field) 46，以及一环绕于主要图案区域 46 的外围的空白周边 (blank periphery) 区域 48。其中空白周边区域 48 是用来当作后续形成的一相移掩膜 54 的抗静电周缘 (anti-static charge border)，而主要图案区域 46 上则定义有一集成电路的部分图案 (未显示)。为方便说明，图 6 与图 7 中仅标示出掩膜基底 40，而将相移层 42 与遮蔽层 44 省略。

如图 7 所示，首先于主要图案区域 46 的边缘形成至少一第一注记图案 50，并同时于主要图案区域 46 的中心形成至少一第二注记图案 52，以形成相移掩膜 54。其中该集成电路的部分图案、第一注记图案 50 与第二注记图案 52 均是由该掩膜基底 40、相移层 42 以及遮蔽层 44 所构成，且第一注记图案 50 以及第二注记图案 52 均包含有一由掩膜基底 40、相移层 42 以及遮蔽层 44 所构成的不规则形图案。请参照图 8 与图 9，图 8 与图 9 为第一注记图案 50 以及第二注记图案 52 的放大俯视图。如图 8 所示，在本发明的最佳实施例中，第一注记图案 50 以及第二注记图案 52 均包含有一十字型图案，且该十字型图案是由相移层 42 所构成；而如图 9 所示，在本发明的另一实施例中，第一注记图案 50 以及第二注记图案 52 亦均包含有一十字型图案，惟该十字型图案则是由掩膜基底 40 所构成。

请参照图 10，图 10 为一上方另包含有一薄膜层（未显示）以及一设于该薄膜层上方的感光层（未显示）的半导体芯片的一预定区域 56 的俯视图。如图 10 所示，预定区域 56 的表面上亦定义有一主要图案区域 58 以及一环绕于主要图案区域 58 的外围的空白周边区域 60。接着利用相移掩膜 54 进行一包含有一黄光（lithography）制程以及一蚀刻（etching）制程的图案转移制程，以将第一注记图案 50、第二注记图案 52 以及该集成电路的部分图案转移至预定区域 56 的表面，于主要图案区域 58 的边缘形成至少一第一被转移图案（first transferred pattern）62，并同时于主要图案区域 58 的中心形成至少一第二被转移图案（second transferred pattern）64。

为确保该集成电路的部分图案有被精确地转移至预定区域 56 上，在进行后续各项制程之前，会先利用转移至预定区域 56 上的第一被转移图案 62 以及第二被转移图案 64，辅以现有的技术中形成于该半导体芯片的切割道上（未显示）的复数个亦可称为光标（vernier）的对准标记（alignment mark，未显示），进行一相移掩膜测试（PSM test）。通常进行该相移掩膜测试的方法，是针对该半导体芯片分别进行一注记测试（registration test）、一相角测试（phase angle test）与一透光率测试（transparency test），亦可直接针对该导体芯片进行上述的三种测试。在本发明的最佳实施例中，转移至预定区域 56 上的第一被转移图案 62 是用来进行该相移掩膜的该注记测试，而转移至预定区域 56 上的第二被转移图案 64 则是用来进行该相移掩膜的该相角测试以及该透光率测试。而在本发明的另一实施例中，第一被转移图案 62 以及第二被转移图案 64 则可同时用以针对预定区域 56，直接进行上述的三种测试，以进一步确保后续各项制程的良率。

相较于现有的技术，本发明形成暨测试该相移掩膜的方法是先于掩膜基底 40 的主要图案区域 46 的边缘与中心分别形成第一图案 50 与第二图案 52，再利用转移至预定区域 56 上的第一被转移图案 62 以及第二被转移图案 64 进行该相移掩膜测试，因此可精密地监测相移掩膜 54 于主要图案区域 46 中的蚀刻均匀度 (etching uniformity)。此外，本发明可于同一步骤内进行该相移掩膜测试所包含的该注记测试、相角测试以及透光率测试，因此可以达到简化制程与节省工时的效果，进而降低生产成本，增加产品的竞争力。

以上所述仅本发明的较佳实施例，凡依本发明申请专利范围所做的均等变化与修饰，皆应属本发明专利的涵盖范围。

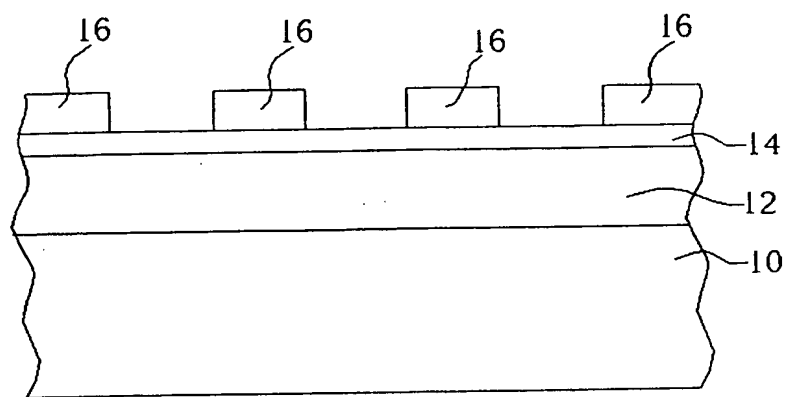


图 1

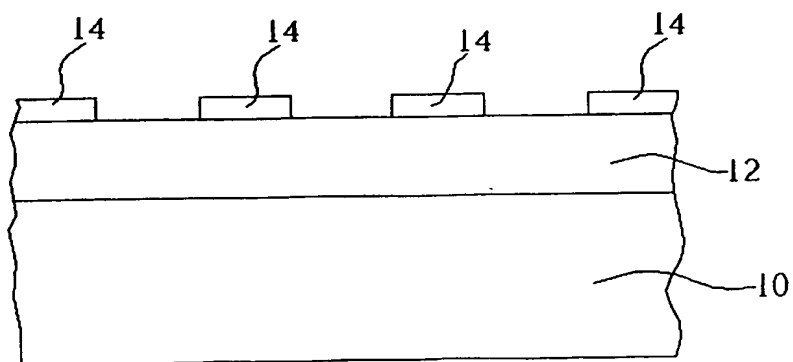


图 2



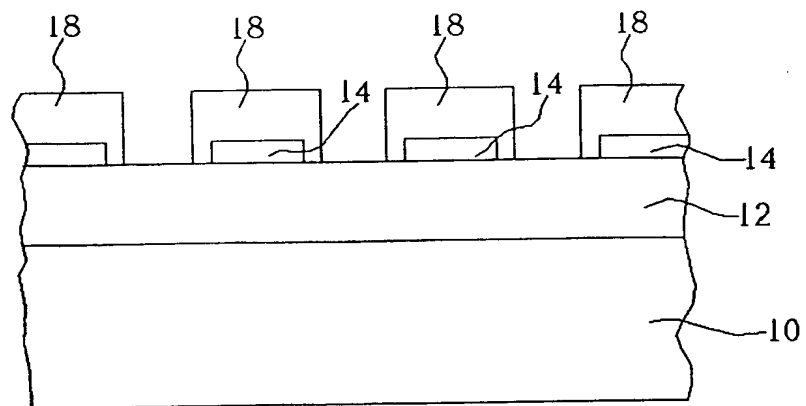


图 3

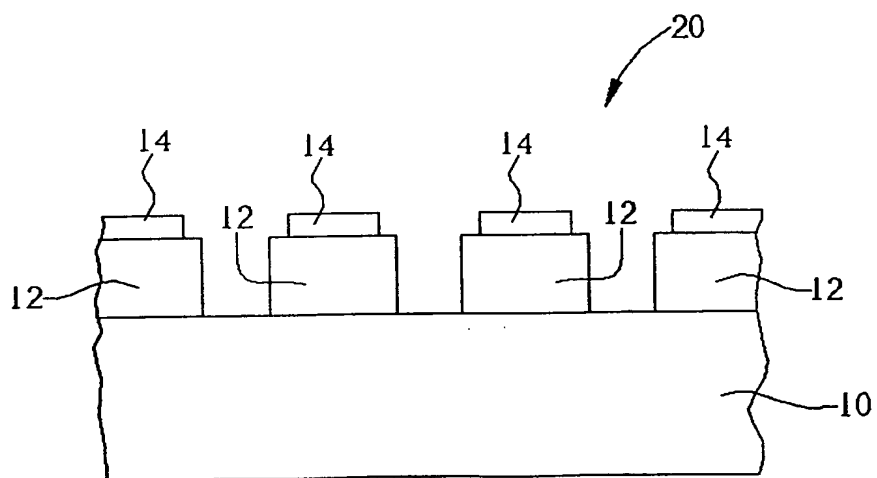


图 4

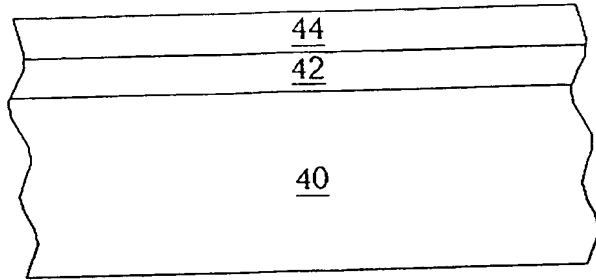


图 5

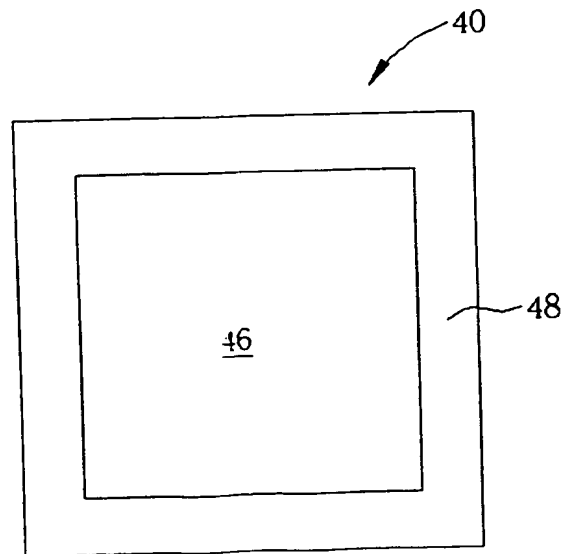


图 6

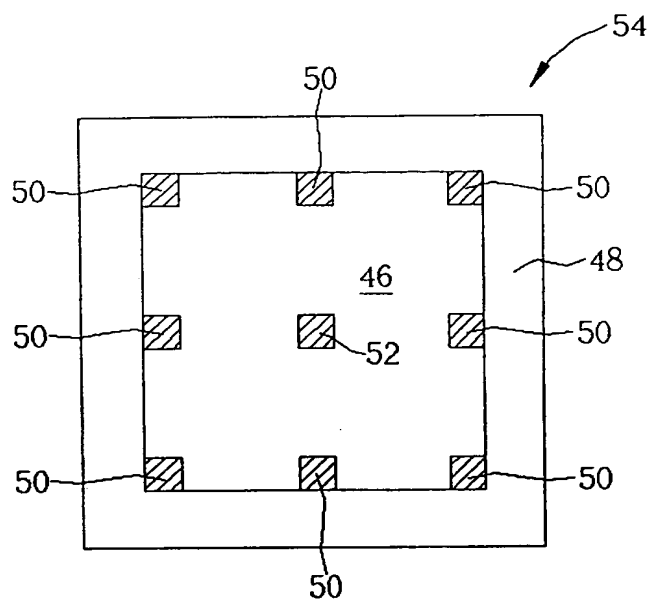


图 7

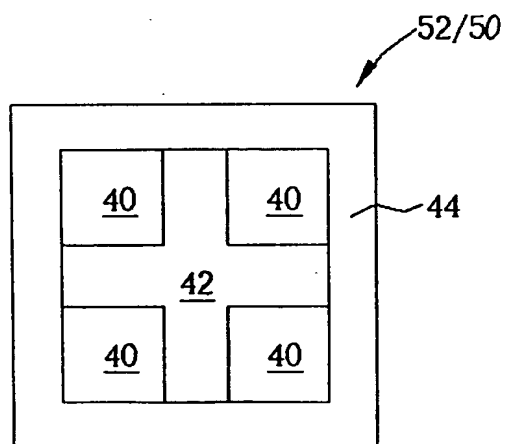


图 8

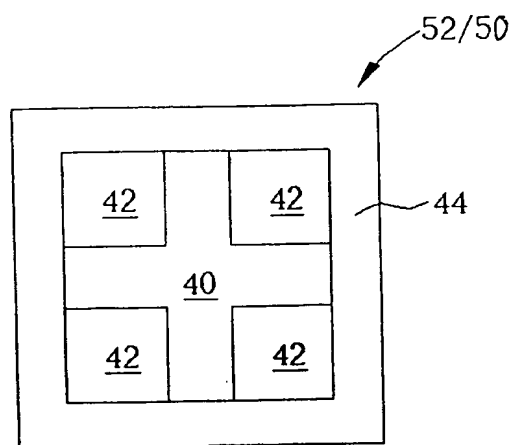


图 9

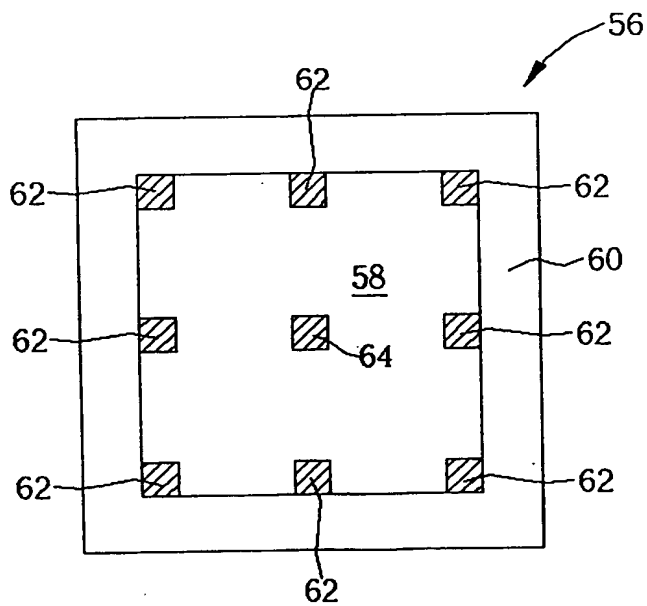


图 10



北京三友知識產權代理有限公司  
Beijing Sanyou Intellectual Property Agency Ltd.

地址: 北京市北三环中路40号 邮编: 100088  
电话: 86-10-62041212 86-10-62360215  
传真: 86-10-62041313 86-10-62041515  
Http://www.san-you.com  
E-mail: syp@sanyou.sina.net

## 请款单

致联华电子股份有限公司

业务类型: 专利  
开立日期: 2004年3月15日  
账单编号: 2004502226

贵所编号: NAU-P0476-CHN

我方编号: F0303177G

案件名称: 一种形成暨测试一相移掩膜的方法

申请号: 031212808

申请日期: 2003年4月1日

官方费用	办理文件副本	金额[USD]:	3.00
------	--------	----------	------

服务费用	办理文件副本	金额[USD]:	20.00
------	--------	----------	-------

总计金额[USD]:	23.00
------------	-------



请核对后, 于2004年4月30日前将款项汇到我公司。

收款人: 北京三友知识产权代理有限公司

收款人地址: 北京市海淀区北三环中路40号

邮政编码: 100088

附: 烦请汇款后将汇款明细电传我公司。